

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-046078
 (43)Date of publication of application : 16.02.1996

(51)Int.CI. H01L 23/12
 H01L 23/522

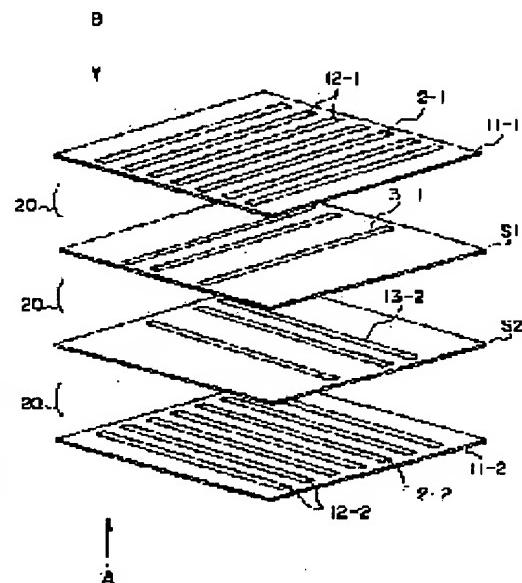
(21)Application number : 06-174236 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 26.07.1994 (72)Inventor : HIRANO NAOHIKO

(54) SEMICONDUCTOR DEVICE HAVING MULTILAYER INTERCONNECTION STRUCTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device having a multilayer interconnection structure which includes the geometrical patterns of signal wirings and power supply/grounding system conductors and is suitable for high speed signal transmission.

CONSTITUTION: Signal wiring layers S1 and S2 are formed between power supply/grounding system layers 11-1 and 11-2 which have a plurality of parallel strip shaped conductor patterns. The respective layers are separated from each other by insulating layers 20. The respective wirings 13-1 of the signal wiring layer S1 are so provided as to be parallel with the conductor patterns 12-1 of the power supply layer 11-1. The respective wirings 13-2 of the signal wiring layer S2 are so provided as to be parallel with the conductor patterns 12-2 of the grounding layer 11-2.



LEGAL STATUS

[Date of request for examination] 10.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3113153

[Date of registration] 22.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-46078

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl.⁸

H 01 L 23/12
23/522

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 23/ 12
23/ 52

Q
B

審査請求 未請求 請求項の数9 OL (全 8 頁)

(21)出願番号 特願平6-174236

(22)出願日 平成6年(1994)7月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 平野 尚彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

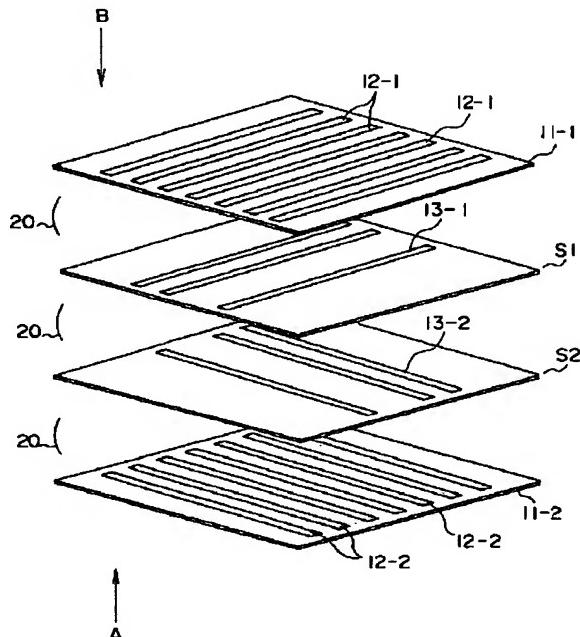
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 多層配線構造の半導体装置

(57)【要約】

【目的】信号配線と電源／グランド系導体との幾何学的形状を含め、高速信号伝送に適した多層配線構造の半導体装置を提供すること。

【構成】複数の平行ストリップ状導体パターンを有する電源／グランド系層11-1, 11-2の間に信号配線層S1, S2が形成されている。各層間は絶縁層20により隔てられている。信号配線層S1の各配線13-1は電源層11-1の導体パターン12-1に平行な配置であり、信号配線層S2の各配線13-2はグランド層11-2の導体パターン12-2に平行な配置である。



【特許請求の範囲】

【請求項1】 それぞれ所定の電位が与えられる複数の平行ストリップ状導体からなる電位供給系層と、前記電位供給系層に絶縁物層を隔てて積層され、前記平行ストリップ状導体と平行な配線で構成される信号配線層とを具備したことを特徴とする多層配線構造の半導体装置。

【請求項2】 前記電位供給系層と信号配線層の相関関係を有する層が絶縁物層を隔てて複数層構成されることを特徴とする請求項1記載の多層配線構造の半導体装置。

【請求項3】 前記電位供給系層における平行ストリップ状導体それぞれの幅は前記信号配線層における配線幅それぞれの2倍以下、かつ前記平行ストリップ状導体のパターン・ピッチは前記配線幅それぞれの3.0倍以下であることを特徴とする請求項1記載の多層配線構造の半導体装置。

【請求項4】 前記信号配線層における配線は前記電位供給系層の平行ストリップ状導体と向かい合わせの第1の配置、前記平行ストリップ状導体の隣り合う2本の間の領域と向かい合わせの第2の配置のいずれかの配置構成であることを特徴とする請求項3記載の多層配線構造の半導体装置。

【請求項5】 前記電位供給系層が2層あるときその第1層と第2層は互いの平行ストリップ状導体をこの平行ストリップ状導体のパターンピッチの20倍以内の間隔でヴィアホールにて適直接続する手段を有することを特徴とする請求項2記載の多層配線構造の半導体装置。

【請求項6】 信号配線層と電源／グランド系層で構成される複数の半導体素子を実装する多層配線基板を具備し、前記電源／グランド系層が複数の平行ストリップ状導体からなり、この平行ストリップ状導体が前記電源／グランド系層の直下あるいは直上にある前記信号配線層の配線に対して平行に配置されたことを特徴とする多層配線構造の半導体装置。

【請求項7】 前記電源／グランド系層の平行ストリップ状導体それぞれの幅は前記信号配線層における配線幅それぞれの2倍以下、かつ前記平行ストリップ状導体のパターン・ピッチは前記配線幅それぞれの3.0倍以下であることを特徴とする請求項8記載の多層配線構造の半導体装置。

【請求項8】 前記電源／グランド系層が前記信号配線層を隔てて少なくとも2層あり、互いの前記平行ストリップ状導体の対応箇所をこの平行ストリップ状導体のパターンピッチの20倍以内の間隔でヴィアホールにて適直接続する手段を具備したことを特徴とする請求項7記載の多層配線構造の半導体装置。

【請求項9】 前記平行ストリップ状導体のパターンが電源系とグランド系交互に配置されることを特徴とする請求項7または8いずれか記載の多層配線構造の半導体装置。

装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、多層配線基板（マルチチップ・モジュール用多層基板）により複数の半導体素子を実装する多層配線構造の半導体装置に関する。

【0002】

【従来の技術】図8は従来の多層配線構造の半導体装置に使用されている多層配線基板の電源／グランド系層と信号配線層を示す分解斜視図である。網目状の導体パターンを有する電源／グランド系層31-1, 31-2の間に信号配線層S1, S2が形成されている。各層間は絶縁層20により隔てられている。

【0003】図9は図8のグランド層31-2と信号配線層S2の導体パターンを抜き出し矢印Aの方向から透視した平面図である。信号配線層S2の配線パターンSP9はグランド層11-2における直交する導体パターンGP9の一方側の方向と同じ方向、他方側に対し90°の方向に図示しない絶縁層を隔てて並列される。なお、電源層11-1と信号配線層S1の導体パターンを抜き出し矢印Bの方向からみた構成も同じ構成と考えてよい。

【0004】上記手法で表す平面図として他に考えられたパターンを図10～図12に示す。図10の配線パターンSP10はグランド層における直交する導体パターンGP10の一方及び他方側に対し45°の方向に伸長し配置される。また、図11のグランド層は直交する導体パターンGP11の一方側が極端に少ない本数の配列であり、その少ない本数の配列と同じ方向に配線パターンSP11が配置される。また、図12はグランド層が平面の導体パターンGP12であり、図示しない絶縁層を隔てて配線パターンSP11が配置される。

【0005】高速信号伝送に適した信号配線構造を得るには線路容量及び線路インダクタンスに関する検討が必要である。なぜなら、信号伝搬遅延定数tpdは次式で表されるからである。

【0006】

【数1】

$$tpd = \sqrt{(L \cdot C)} \quad \dots (1)$$

L: 単位長さあたりの線路インダクタンス

C: 単位長さあたりの線路容量

【0007】まず、線路容量Cについて考える。容量は互いの層間の質と距離が同じとすれば、対向する面積に比例して大きくなる。図9、図10、図11、図12それぞれの配線容量Cは、パターンを相対的にみて、だいたい図12が最も大きく、図11が最も小さく、図9と図10はその間に位置付けられる。

【0008】次に、線路インダクタンスLについて考える。図06を参照すると、線路インダクタンスは信号配

線SPの自己インダクタンス L_s 、グランド層GPの自己インダクタンス L_g 、これら相互インダクタンスをMとすると、大略次式で表せる。

* [0009]
【数2】
*

$$L = L_s + L_g - 2M = L_s + L_g - 2k\sqrt{(L_s \cdot L_g)} \quad \text{---(2)}$$

(kは結合係数: 0.6 ~ 0.6)

すなわち、信号配線層SPの信号電流SIが発生すると、グランド層GPの電流GIはこの信号電流SIと逆向きに流れ（リターン電流）。このリターン電流によって信号配線層SPとグランド層GPとの間の相互インダクタンスが作用し、線路インダクタンスが低減される。相互インダクタンスMは並行する線路どうしで最大になり、直交する線路どうしでは0になる。多層配線構造において相互インダクタンスは線路インダクタンスを低減させるための重要な要素である。

【0010】図9、図10、図11、図12それぞれの相互インダクタンスMは、パターンを相対的にみて、だいたい図12が最も大きく、図11が最も小さく、図9と図10はその間にあると考えられる。従って、それぞれの線路インダクタンスLは図11が最も大きく、図5が最も小さく、図9と図10はその間に位置付けられる。

【0011】上記(1)式の線路インダクタンスLの占める割合は配線容量Cに比べて大きい。図9から図11の構成は線路容量は低減されるものの、信号電流と逆方向の電源／グランド電流が流れ難く、相互インダクタンスが作用しないため線路インダクタンスを著しく増加させてしまう。この結果、(1)式で表した伝搬遅延が増大し、高速信号伝送に適さない。従って、高速信号伝送に適した信号配線構造を得るには線路インダクタンスLを低減するような構造が望ましいといえる。このような観点から、図12の電源／グランド系層の導体パターンのように開口部や不連続部分のない信号配線方向に連続な平面パターンがよい。

【0012】しかし、多層配線基板において、絶縁層にポリイミドのような樹脂材料を用いた場合、絶縁層を形成するプロセス中、ガスや水分を放出させる。これを外部に抜け易くするためには、開口部を設けた網目状パターンの電源／グランド系層を使用しなければならない。

【0013】網目状パターンの電源／グランド系層は上述のように信号線に対して伝搬遅延を増加させたり、波形歪みが生じる等、平面パターンの電源／グランド系層と比較して電気的特性が劣化する。

【0014】これまで、網目状パターンに関する電気的特性評価、解析例は少ない。従来の網目状パターンの設計手法としては、信号線と電源／グランド系層間に形成される線路容量を求め、TEM(transverse electromagnetic)波近似により求める手法が一般的であった。

しかし、上記(1)式のように、高速信号伝送に適した信号配線構造を得るには線路容量だけではなく線路インダクタンスの制御が必要なことがわかった。

【0015】

【発明が解決しようとする課題】このように、従来の網目状パターンの電源／グランド系層と信号配線の関係を導くTEM波近似手法では、線路インダクタンスに関する情報が得られず、網目状パターンを設計する際に誤りを招く恐れがある。特に線路容量を最適化させるパターンと、線路インダクタンスを最適化させるパターンは必ずしも一致しないのでパターン設計上留意しなければならない。

【0016】この発明は上記のような事情を考慮してなされたものであり、その目的は、信号配線と電源／グランド系導体との幾何学的形状を含め、高速信号伝送に適した多層配線構造の半導体装置を提供することにある。

【0017】

【課題を解決するための手段】この発明の多層配線構造の半導体装置は、それぞれ所定の電位が与えられる複数の平行ストリップ状導体からなる電位供給系層と、前記電位供給系層に絶縁物層を隔てて積層され、前記平行ストリップ状導体と平行な配線で構成される信号配線層とを具備したことを特徴とする。

【0018】

【作用】信号伝送の高速化の要求が著しいマルチチップ・モジュール等では、電気的特性の劣化をいかに抑えるかが配線基板性能を左右する要因となっている。この発明では、電位供給系層を平行なストリップ状導体で形成する。かつそのストリップ状導体を電位供給系層の直下、あるいは直上に配置される信号配線と平行になるように構成する。このとき、平行ストリップ状導体のパターンの導体幅を信号配線の2倍以下、パターン・ピッチを信号配線幅の3.0倍以下にすれば、伝搬遅延を最小に、かつ波形歪みの少ない最適パターンが得られる。

【0019】

【実施例】高速信号伝送ではTEM波を伝送しなければならないが、これには同軸ケーブルに代表されるような2導体系伝送線路が必要である。2導体系伝送線路を配線基板のような2次元構造に適用したものが、マイクロ・ストリップ線路やコブレナ線路と呼ばれる線路構造である。このような線路は、信号配線と電源／グランド系層からなり、電源／グランド系層は信号配線方向に連続

であることが望ましい。しかし、配線基板プロセス上、電源／グランド系導体層を完全な平面パターンにはできない。

【0020】この発明は電源／グランド系層の導体パターンと信号配線との幾何学的位置関係を電気的特性の観点から解析、評価して多層配線構造の最適化を図ったものであり、以下にその構成を説明する。

【0021】図1はこの発明の第1実施例に係る多層配線構造の半導体装置に使用される多層配線基板の電源／グランド系層と信号配線層を示す分解斜視図である。複数の平行ストリップ状導体からなる導体パターンを有する電源／グランド系層11-1、11-2の間に信号配線層S1、S2が形成されている。各層間は絶縁層20により隔てられている。

【0022】この図1の構成の場合、電源／グランド系層11-1、11-2のうち、11-1は電源層、11-2はグランド層となっており、信号配線層S1の各配線13-1は電源層11-1の導体パターン12-1に平行な配置であり、信号配線層S2の各配線13-2はグランド層11-2の導体パターン12-2に平行な配置である。

【0023】すなわち、信号配線13(13-1、13-2)に平行な電源／グランド系の導体パターン12(12-1、12-2)が構成されることが重要である。この構成によれば、電源／グランド系層に流れるリターン電流は信号電流と逆向きに妨げられることなく流れ。これにより、信号配線と電源／グランド系層間の相互インダクタンスにより、線路インダクタンスが低減される。

【0024】さらに、電源／グランド系層の導体パターンは信号配線と以下のような幾何学的関係を有するとき、線路容量、線路インダクタンスとも最適化される。その構成を図2を参照して説明する。図2は図1の電源／グランド系層11-2と信号配線層S2の導体パターンを抜き出し矢印Aの方向から透視した平面図である。信号配線層S2の配線パターンは電源／グランド系層11-2における平行ストリップ状導体パターンと平行に配置されるが、信号配線13-2がこの平行ストリップ状導体と向かい合せの配置関係をオン・グリッド(On grid)と呼び、平行ストリップ状導体の隣り合う2本の間の領域と向かい合せの配置関係をオフ・グリッド(Off grid)と呼ぶことにする。信号配線の配置は電源／グランド系層の導体パターン(平行ストリップ状導体)と上記いずれかの関係をとる。なお、図1における電源／グランド系層11-1と信号配線層S1の導体パターンを抜き出し矢印Bの方向からみた構成も同じ構成と考えてよい。

【0025】たとえば、上記グランド層11-2において、平行ストリップ状導体それぞれの幅をWg、導体のパターン・ピッチをPb、信号配線層の配線幅をWsとすれば、電源／グランド系層の導体パターンと信号配線との幾何学的関係、

$$Wg \leq 2.0Ws, Pb \leq 3.0Ws \quad \cdots (3)$$

の各条件を満たすとき、信号配線13-2がOn gridでも、Off gridでも線路パラメータがほぼ等しくなる。従って、高速信号伝送を満足する電気的特性を有し、かつパラメータ制御が容易な配線パターンが提供できる。これにより、図1の構成は前記図12の平面グランドパターンと同等な電気特性を持つように構成可能となる。

【0026】図3は上記第2実施例に係る多層配線構造の半導体装置に使用される多層配線基板の電源／グランド系層と信号配線層を示す分解斜視図である。複数の平行ストリップ状導体からなる導体パターンを有する電源／グランド系層21-1、21-2の間に信号配線層S1、S2が形成されている。各層間は絶縁層20により隔てられている。電源／グランド系層21-1、21-2の各導体パターンは適宜ヴィアホール15による接続手段が適用される。これにより、電源／グランド系層21-1、21-2は共に混在電位層となっている。また、第1実施例と同様に、信号配線層S1の各配線13-1は電源／グランド系層21-1の導体パターン22-1に平行な配置であり、信号配線層S2の各配線13-2は電源／グランド系層21-2の導体パターン22-2に平行な配置である。

【0027】図4は図3の電源／グランド系層21-2と信号配線層S2の導体パターンを抜き出し矢印Aの方向から透視した平面図である。信号配線層S2の配線パターンは電源／グランド系層21-2における平行ストリップ状導体パターンと平行に配置され、オン・グリッド(On grid)、オフ・グリッド(Off grid)の配置関係は前記図2と同様である。この図4において、15はヴィアホールであり、ヴィアホールの形成位置の条件を示している。Paはヴィアホールを形成する間隔を示す。電源／グランド系層のストリップ状導体のパターン・ピッチをPbとして、

$$Pa \leq 2.0Pb \quad \cdots (4)$$

上記(4)式で表される関係を満たすようなヴィアホール15を形成し、電源／グランド系層21-1と21-2の各ストリップ状導体どうしを所望のヴィアホール15にて適宜接続することにより、さらに電気的特性に優れる基板を提供することができる。ヴィアホール15による接続は、上記(4)式のごとく電源／グランド系層の導体パターン・ピッチの20倍以内の間隔、あるいは伝搬される信号波長の1/4以下の間隔で行われてもよい。

【0028】図5、図6はそれぞれ上記第2の実施例に係る混在電位系層の電源／グランド系導体層のパターンの一例を示す図4に準ずる平面図である。図5は上述したヴィアホール15の配置条件を適用し図3に示すような接続手段を施し電源／グランド系層の導体パターン22において電源導体(Power)とグランド導体(Ground)を交互に配置した構成である。素子の実装を考えた場合このような配置構成が好ましい。また、図6は電源導体(Power)とグランド導体(Ground)をヴィアホール位置等を考慮して、適宜配置したものである。同一層内に

おける電源導体とグランド導体は、基板用途に応じて選択配置すればよい。

【0029】上記構成によれば、複数の電源／グランド系層を有する配線基板において、平面グランド・パターンと同等な電気的特性を持つことができる。すなわち、電源／グランド系層が混在電位層となり、これが2層以上存在し、その導体パターンが絶縁物層20を隔てて積層される最も近い信号配線層の信号配線が前記図4の位置関係を満たすように配置されていればよい。

【0030】なお、多層配線基板の導体材料は、Cu, Al等の導電性材料、絶縁層材料には、ポリイミド等の樹脂材料、アルミナ等のセラミック材料など基板プロセス、基板用途により適宜選択するものとする。また、絶縁層の厚さ、導体層の厚さ等は、電気設計上、特性インピーダンス等を基に必要とされる値を選ぶものとする。

【0031】図7は各導体パターンを用いた場合の信号の伝搬遅延の解析、評価を示す波形図である。ロジックの“0”レベルから“1”レベルへの信号変化を示しており、レベルV_TがCMOSロジックの切換点である。各波形において、1は本願の電源／グランド系層と信号配線層の配置関係を適用した場合の特性、2前記図12の平面パターンの電源／グランド系層を用いた場合の特性、3は前記図10の網目状パターンの電源／グランド系層と信号配線層の配置関係(45°メッシュタイプ)の特性、4は前記図9の網目状パターンの電源／グランド系層と信号配線層の配置関係(90°タイプ)の特性を示す。この図からも明らかなように平面グランドパターンと同等な電気特性を持つようになり、高速信号伝送に好適な信号線路構造が達成できることがわかる。

“1”レベルの初期に振動がみられるが、この時点での振動は信号伝送に全く支障ない。

【0032】

【発明の効果】以上説明したようにこの発明によれば、従来の網目状パターンと異なり、平行ストリップ状パターンを信号配線と平行に配置させた構成により、平面状の電源／グランド系パターンを使用した場合と同等の電*

* 気的特性を有する高速信号伝送に適した多層配線構造の半導体装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例に係る多層配線構造の半導体装置に使用される多層配線基板の電源／グランド系層と信号配線層を示す分解斜視図。

【図2】図1の構成の一部分を抜き出し所定方向から透視した平面図。

【図3】この発明の第2実施例に係る多層配線構造の半導体装置に使用される多層配線基板の電源／グランド系層と信号配線層を示す分解斜視図。

【図4】図3の構成の一部分を抜き出し所定方向から透視した平面図であり、ヴィアホール形成位置の条件を追加した平面図。

【図5】第2実施例に係る混在電位系層の電源／グランド系導体層のパターンの一例を示す図4に準ずる第1の平面図。

【図6】第2実施例に係る混在電位系層の電源／グランド系導体層のパターンの一例を示す図4に準ずる第2の平面図。

【図7】この発明に係る信号の伝搬遅延の解析、評価を示す波形図。

【図8】従来の多層配線構造の半導体装置に使用されている多層配線基板の電源／グランド系層と信号配線層を示す分解斜視図。

【図9】図8の構成の一部分を抜き出し所定方向から透視した従来の第1平面図。

【図10】図9に準ずる従来の第2の平面図。

【図11】図9に準ずる従来の第3の平面図。

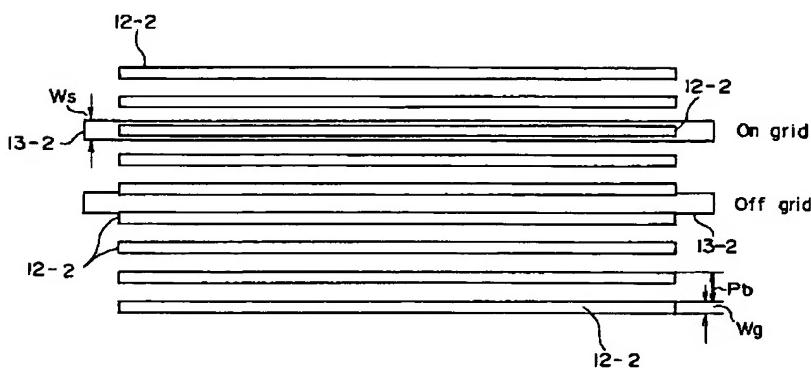
【図12】図9に準ずる従来の第4の平面図。

【図13】線路インダクタンスを説明するための斜視図。

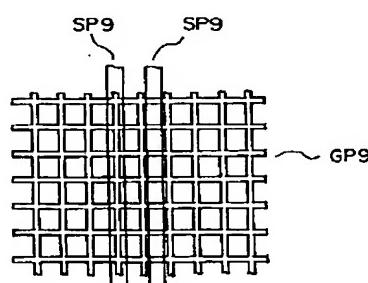
【符号の説明】

11-1, 11-2, 21-1, 21-2…電源／グランド系層、12-1, 12-2, 22-1, 22-2…導体パターン、20…絶縁層、S1, S2…信号配線層、15…ヴィアホール。

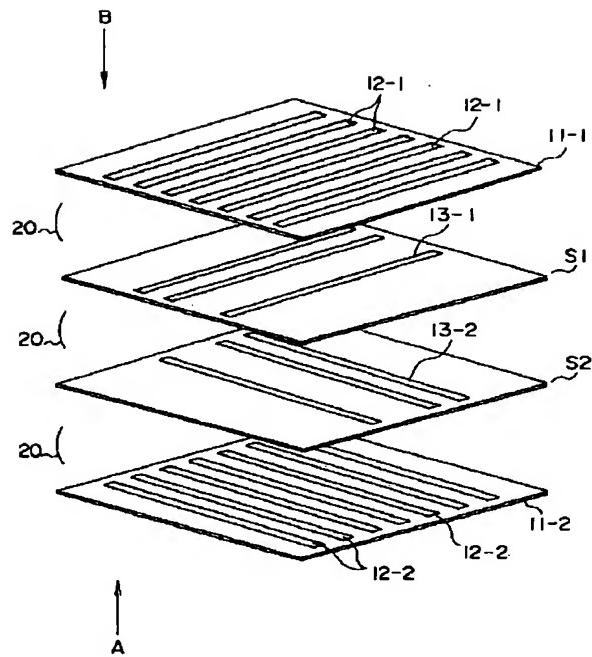
【図2】



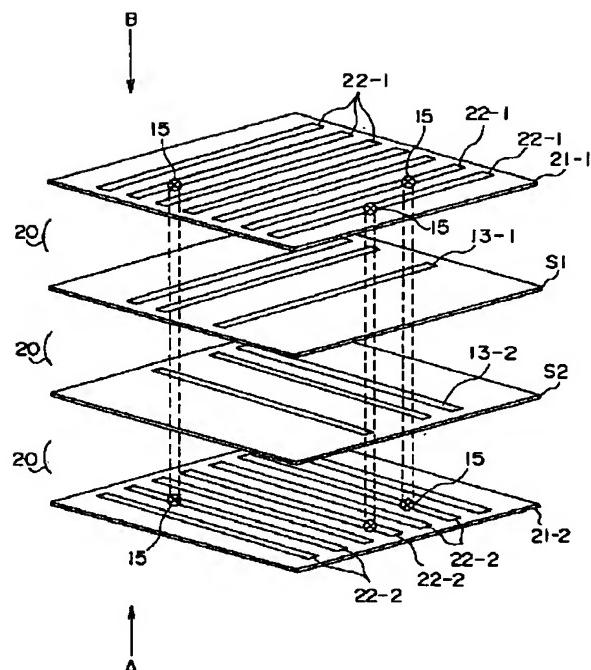
【図9】



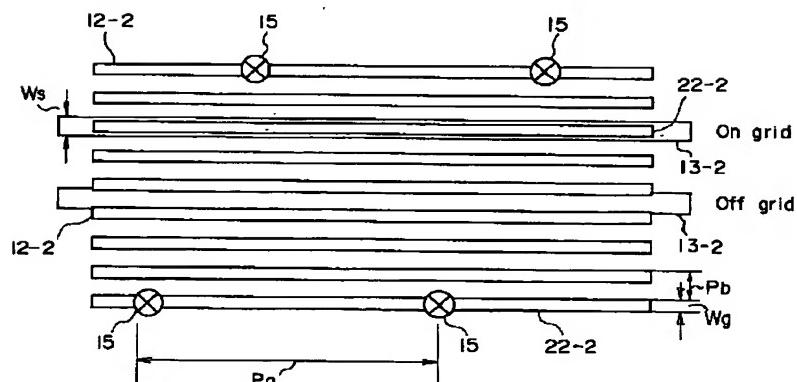
【図1】



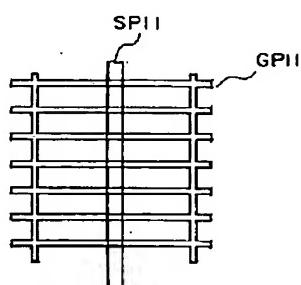
【図3】



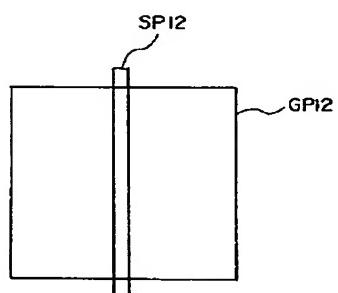
【図4】



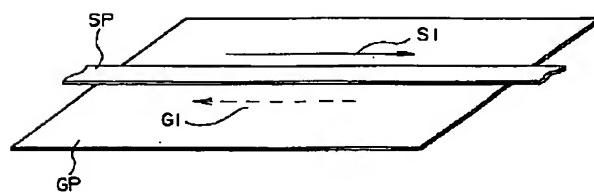
【図11】



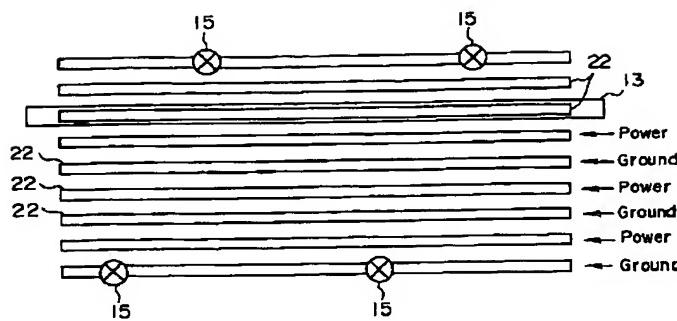
【図12】



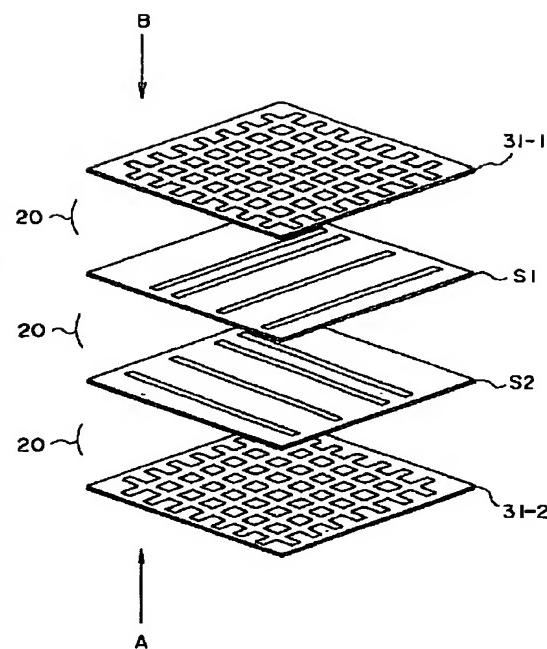
【図13】



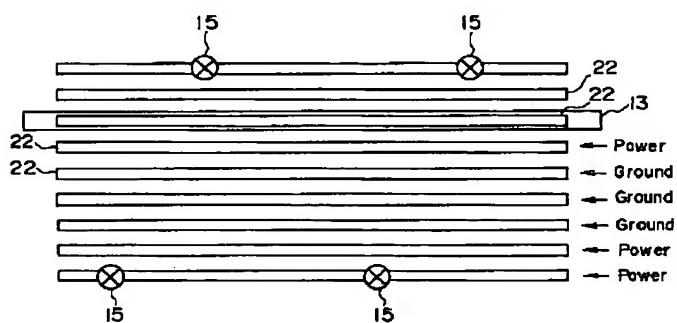
【図5】



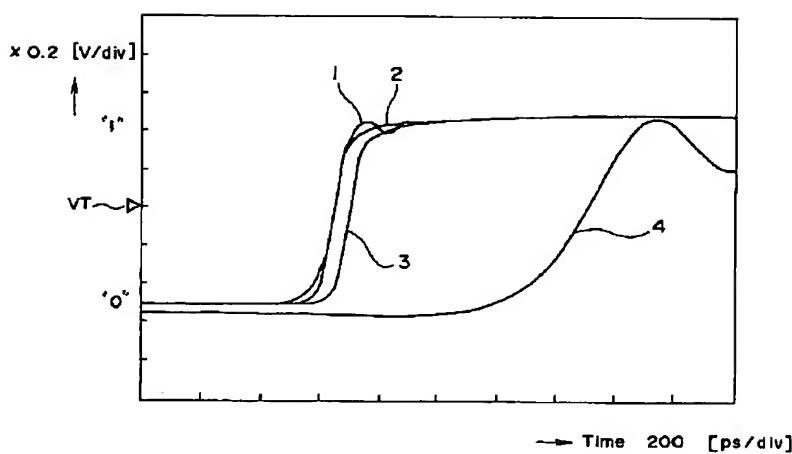
【図8】



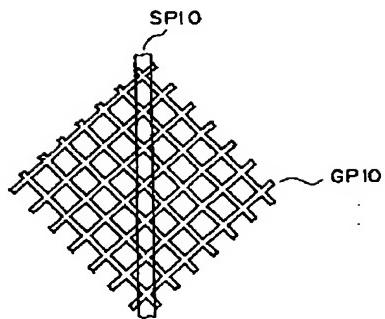
【図6】



【図7】



【図10】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年4月6日(2001.4.6)

【公開番号】特開平8-46078

【公開日】平成8年2月16日(1996.2.16)

【年通号数】公開特許公報8-461

【出願番号】特願平6-174236

【国際特許分類第7版】

H01L 23/12

23/522

【F I】

H01L 23/12 Q
23/52 B

【手続補正書】

【提出日】平成11年6月10日(1999.6.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 それぞれ所定の電位が与えられる複数の平行ストリップ状導体からなる電位供給系層と、前記電位供給系層に絶縁物層を隔てて積層され、前記平行ストリップ状導体と平行な配線で構成される信号配線層とを具備したことを特徴とする多層配線構造の半導体装置。

【請求項2】 前記電位供給系層と信号配線層の相関関係を有する層が前記絶縁物層を隔てて複数層構成されることを特徴とする請求項1記載の多層配線構造の半導体装置。

【請求項3】 前記電位供給系層における平行ストリップ状導体の1本の幅は前記信号配線層における配線の1本の幅の2倍以下であり、かつ前記平行ストリップ状導体のバターン・ピッチは前記配線1本の幅の3倍以下であることを特徴とする請求項1記載の多層配線構造の半導体装置。

【請求項4】 前記電位供給系層における平行ストリップ状導体の1本の幅は、前記信号配線層における配線の1本の幅より大きく、この配線の1本の幅の2倍まで許容され、かつ前記平行ストリップ状導体のバターン・ピッチは、前記配線1本の幅より大きく、この配線1本の幅の3倍まで許容されることを特徴とする請求項1記載の多層配線構造の半導体装置。

【請求項5】 前記信号配線層における配線は、前記平行ストリップ状導体と向かい合う少なくとも1本の配線

と、前記平行ストリップ状導体の隣り合う2本の間の領域と向かい合う少なくとも1本の配線を含むことを特徴とする請求項3記載の多層配線構造の半導体装置。

【請求項6】 前記電位供給系層と同様の構成の他の電位供給系層をさらに有し、前記平行ストリップ状導体のバターンピッチの20倍以内の間隔で前記他の電位供給系層の平行ストリップ状導体の少なくとも1本に形成され、前記電位供給系層と他の電位供給系層の平行ストリップ状導体同士を接続するヴィアホールを具備することを特徴とする請求項5記載の多層配線構造の半導体装置。

【請求項7】 電源／グランド系層と、前記電源／グランド系層の下方あるいは上方に位置する信号配線層とで構成され、複数の半導体素子が実装される多層配線構造の半導体装置であって、

前記電源／グランド系層に設けられた複数の平行ストリップ状導体と、

前記電源／グランド系層の前記平行ストリップ状導体と平行に配置され前記信号配線層に設けられた複数の配線と、

前記電源／グランド系層と前記信号配線層の相互間に設けられた絶縁層と

を具備することを特徴とする多層配線構造の半導体装置。

【請求項8】 前記電源／グランド系層と信号配線層と同一位置関係を有し、前記電源／グランド系層と信号配線層の対と同様の他の電源／グランド系層と信号配線層の対と、

前記他の電源／グランド系層と信号配線層の対の相互間に配置された他の絶縁層と

を具備することを特徴とする請求項7記載の多層配線構造の半導体装置。

【請求項9】 前記電源／グランド系層における前記平行ストリップ状導体の1本の幅は前記信号配線層におけ

る配線の1本の幅の2倍以下であり、かつ前記平行ストリップ状導体のバターン・ピッチは前記配線1本の幅の3倍以下であることを特徴とする請求項7記載の多層配線構造の半導体装置。

【請求項10】 前記信号配線層における配線は、前記平行ストリップ状導体と向かい合う少なくとも1本の配線と、前記平行ストリップ状導体の隣り合う2本の間の領域と向かい合う少なくとも1本の配線を含むことを特徴とする請求項7記載の多層配線構造の半導体装置。

【請求項11】 複数の第1の平行ストリップ状導体を有する第1の電源／グランド系層と、
前記第1の電源／グランド系層に平行して配置され、前記第1の平行ストリップ状導体と平行に配置された複数の第1の配線を有する第1の信号配線層と、

第1の電源／グランド系層に平行して配置され、複数の第2の平行ストリップ状導体を有する第2の電源／グランド系層と、

前記第2の電源／グランド系層に平行して配置され、前記第2の平行ストリップ状導体と平行に配置された複数の第2の配線を有する第2の信号配線層と、

前記第1の電源／グランド系層の少なくとも1つの第1の平行ストリップ状導体に、これら第1の平行ストリップ状導体のバターンピッチの20倍以内の間隔で設けられ、前記第2の電源／グランド系層の少なくとも1つの第2の平行ストリップ状導体に接続されるヴィアホールと

を具備することを特徴とする多層配線構造の半導体装置。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.